

中間テスト (30 点満点)

問 1: 以下の (1)~(3) はコンピュータの 5 大装置について、説明したものである。それぞれの装置名を答えなさい。(各 1 点、計 3 点)

- (1) 算術演算と論理演算を行う回路があり、算術演算回路では加減乗除や大小比較を、論理演算回路ではシフト動作や様々な判断を行っている。
- (2) 一般にプログラムやデータを記憶する装置。高速かつ読み書き可能で、大容量が求められる。
- (3) メモリから命令を取り出し、それを解読してメモリからデータを読み出して演算を行わせたり、入出力装置に動作を指令したりする。

解答: (1) 演算装置 (2) (主) 記憶装置 (3) 制御装置

問 2: $104 - 26 = 45$ という計算は何進法で成立するか? 理由も述べて回答しなさい。(注意: 理由のないものや、適切な理由でないものは得点を認めない) (完答して 3 点)

解答例:

$104 - 26 = 45$ を $104 = 45 + 26$ と変形し、下一桁のみに着目すると

$$5 + 6 = 14$$

となっている。これは、7 進数でないとこのような計算にはならないので、答えは 7 進数であると仮定できる。

(注: 解答がここまでの場合、完全正解ではなく部分正解 (2 点) となる。また、解答が 7 進数を仮定するための方法を記述していない場合 (即ち、以下の部分しか書いていない場合) も部分正解 (2 点) とする。)

与式を 7 進数と仮定して 10 進数に直すと

$$104_7 = 1 \times 7^2 + 0 \times 7^1 + 4 \times 7^0 = 53_{10}$$

$$26_7 = 2 \times 7^1 + 6 \times 7^0 = 20_{10}$$

$$45_7 = 4 \times 7^1 + 5 \times 7^0 = 33_{10}$$

よって、

$$53_{10} - 20_{10} = 33_{10}$$

となり、与式が成り立つ。

従って、答えは 7 進数。

(他にも多数の方法がある。)

問 3: CISC と比較したときの RISC の特徴として、適切なものはどれか。下表のア ~ エから一つ選べ。(2 点)

	命令長	ハードウェアの制御	演算の対象
ア	固定	主にマイクロコード制御	メモリ、レジスタ
イ	固定	ワイヤードロジック制御	レジスタ
ウ	可変	主にマイクロコード制御	レジスタ
エ	可変	ワイヤードロジック制御	メモリ、レジスタ

解答： イ

問4: 次の24ビットの浮動小数点で表現できる最大値を表すビット列を、16進数として表すとどうなるか?。答えを16進数で書け。また理由も述べよ。ただし、ここでこの形式で表現される値は $(-1)^S \times 16^{E-64} \times 0.M$ である。(注意: 理由のないものや、適切な理由でないものは得点を認めない) (完答して2点)

0	1	...	7	8	...	23
S		... E M ...	

解答例:

0ビット目であるSは符号を表し、0で正、1で負であるから、 $S = 0$ となる。
最大値は残りの全てのビット列が1であることなので、

0111 1111 1111 1111 1111 1111

となり、これを16進数に直すと、7FFFFFFF。

問5: マイクロプログラム制御機構のハードウェア構成では、配線論理制御機構のハードウェア構成の他にどのようなハードウェア機構を必要とするか、機構の簡単なハードウェア構成図を示して説明せよ。(5点)

解答例:

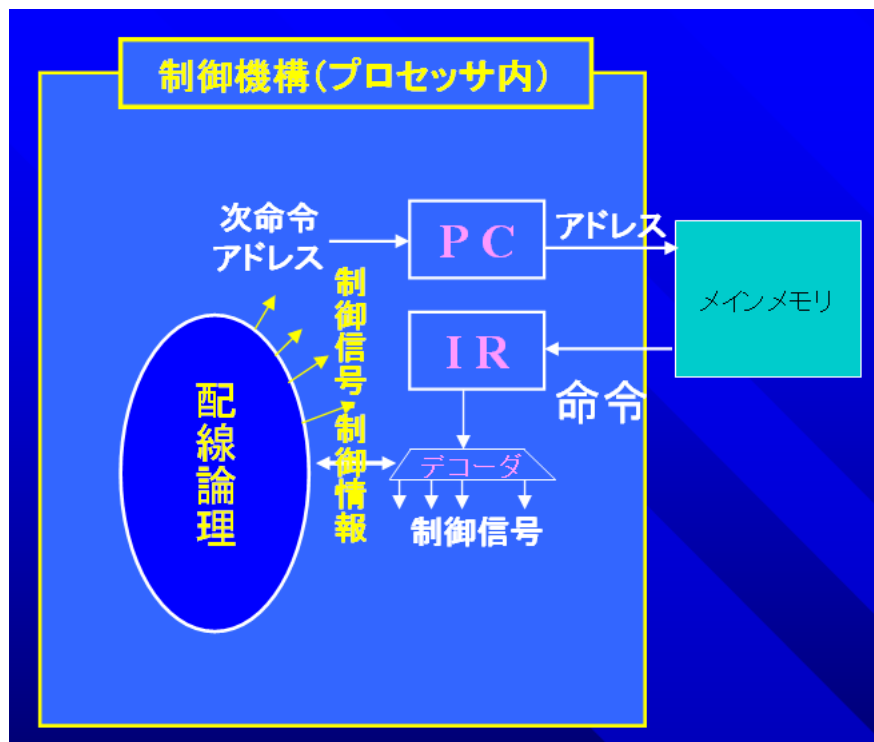


図 1: 配線論理制御機構

配線論理制御機構のハードウェア構成(図1(p.2))に対して、マイクロプログラム制御を採る制御機構のハードウェア構成の概略は図2(p.3)である。

マイクロプログラム制御機構に特有のハードウェアとしては、次のようなものがある。

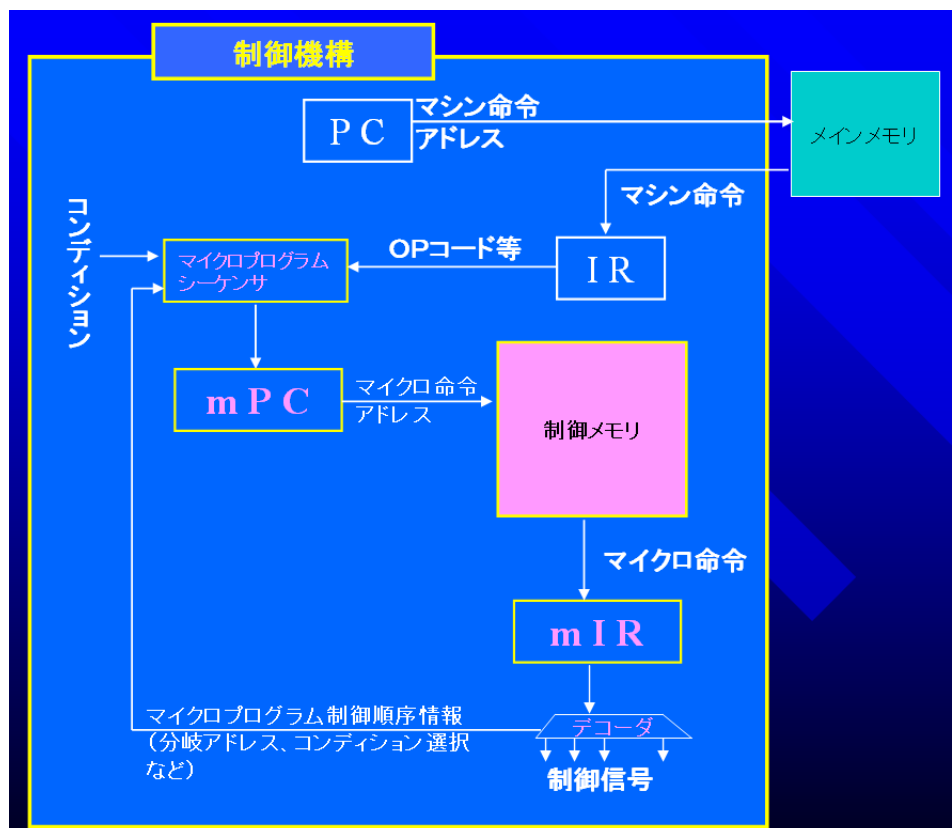


図 2: マイクロプログラム制御機構

- 制御メモリ (control memory, control strage) : 制御用マイクロプログラムを格納しておくメモリ装置であり、“マシン命令を格納するメインメモリよりも高速である”ことが条件となる。
- マイクロ命令レジスタ (図2では「mIR」) : 制御メモリからフェッチした、現在実行中のマイクロ命令を置く。
- マイクロプログラムカウンタ (図2では「mPC」) : 現在実行中のマイクロ命令アドレスを置く。
- マイクロプログラムシーケンサ (マイクロプログラムコントローラ、マイクロプログラムの順序制御機構) : IRよりマシン命令を読み出し、それに対応するマイクロプログラム (一連のマイクロ命令列) を制御メモリより順次取り出し、そのマシン命令の機能を実現するマイクロプログラムの実行を制御する。マイクロ命令の実行順序制御にはマシン命令語のOPコード (対応するマイクロプログラムの開始アドレス情報となる) やオペランドアドレスの他に、各装置や機構から発生するコンディショニング (ステータス) 信号なども使用する。

(採点基準: 図2ができていれば1点。ハードウェア構成4つのうち2つ以上書いてあれば1点、4つすべて書いてあれば2点。各ハードウェアの説明についても同様。)

問6: 基本命令セットについて、それぞれの命令機能を実現するハードウェア機構の複雑さ順に並べて説明せよ。(5点)

解答例:

複雑な方から述べる。

算術演算命令 (arithmetic operation) : 数値データに対する演算命令

論理演算命令 (logical operation) : 論理値データに対する演算命令

ビット列操作命令 : 各種のデータ (数値、論理値、2進コード) をビット列として操作する命令
(採点基準: 2つ以上命令が順番通りに書いてあれば1点。その2つ以上説明が正しければ2点。完答で5点。完答ではないが上記以上に正確で詳細な説明があった場合、最大で合計4点まで認める。)

問7: 5段の命令パイプライン処理の理論的な性能 (向上度) について、このアーキテクチャがパイプライン処理なしに比べて4.8倍の性能向上を得るためには、パイプラインに何個の命令を投入しなければならないか、計算せよ。(注意:導出のための途中の式も書くこと。答えだけの答案は得点を認めない。)(完答して5点)

解答例:

D 段のパイプラインに I 個の命令を1ステージずつずらして途切れなく投入すると、投入した I 個の命令をすべて実行するのに必要なステージ数 S_P は

$$S_P = I + D - 1 \quad (1)$$

一方、命令パイプライン処理なしの場合に I 個の命令すべてを実行するのに必要なステージ数 S_N は

$$S_N = I \times D \quad (2)$$

式(1)と(2)より、命令パイプライン処理による速度性能向上の度合い P (倍) は

$$P = \frac{S_N}{S_P} = \frac{I \times D}{I + D - 1} \quad (3)$$

今、式(3)に $P = 4.8$ 、 $D = 5$ を代入すれば

$$\begin{aligned} 4.8 &= \frac{I \times 5}{I + 5 - 1} \\ 4.8(I + 4) &= 5I \\ 4.8I + 19.2 &= 5I \\ 19.2 &= 0.2I \\ I &= 96 \end{aligned}$$

よって、**96個**

(採点基準:少なくとも式(3)もしくはそれに数値が代入してあるものが書いてあること。)

問8: 割り込みの必要性について具体的に列挙せよ。(5点)

解答例:

(1): ユーザのプログラム (マシン命令列) として記述していないあるいは記述できない“不測の事態”に対処する。

(2): ハードウェアやソフトウェア (プログラム) がもつ本来の機能以外の動作としての異常、エラー、例外などを検知し、それらに対処する。

- (3): ハードウェア機構と基本ソフトウェア (特に OS) との通信機能をプログラム (マシン命令) として記述する。
- (4): ユーザプログラム (ここでは OS 以外のプログラム) と OS との通信機能をプログラムとして記述する。
- (5): 内部装置 (プロセッサとメモリ) の共用ハードウェア資源への利用要求の競合を解決 (スケジューリング) し、それらの効果的な利用を図る。
- (6): 互いに非同期動作しているハードウェア機構や装置 (例えば、プロセッサと入出力装置、ネットワークでつながれたプロセッサ相互など) の相互通信などのためにそれらの同期をとる。

(採点基準:上記6つうち、2つ書いてあれば1点、3つならば2点、4つ:3点、5つ:4点)